

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月 2日

出 願 番 号

Application Number:

特願2002-225880

[ST.10/C]:

[JP2002-225880]

出 願 人

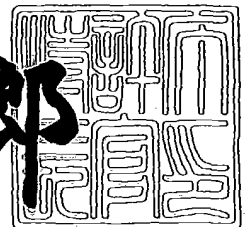
Applicant(s):

株式会社沖デジタルイメージング  
株式会社沖データ

2003年 5月13日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3035700

【書類名】 特許願

【整理番号】 MA901296

【提出日】 平成14年 8月 2日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 33/00

【発明者】

【住所又は居所】 東京都八王子市東浅川町 5 5 0 番地の 1 株式会社沖デ  
ジタルイメージング内

【氏名】 浜野 広

【発明者】

【住所又は居所】 東京都八王子市東浅川町 5 5 0 番地の 1 株式会社沖デ  
ジタルイメージング内

【氏名】 谷中 真澄

【発明者】

【住所又は居所】 東京都八王子市東浅川町 5 5 0 番地の 1 株式会社沖デ  
ジタルイメージング内

【氏名】 登 正治

【発明者】

【住所又は居所】 東京都八王子市東浅川町 5 5 0 番地の 1 株式会社沖デ  
ジタルイメージング内

【氏名】 小泉 真澄

【特許出願人】

【識別番号】 500002571

【氏名又は名称】 株式会社沖デジタルイメージング

【特許出願人】

【識別番号】 591044164

【氏名又は名称】 株式会社沖データ

【代理人】

【識別番号】 100083840

【弁理士】

【氏名又は名称】 前田 実

【選任した代理人】

【識別番号】 100116964

【弁理士】

【氏名又は名称】 山形 洋一

【手数料の表示】

【予納台帳番号】 007205

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9407118

【包括委任状番号】 0104055

【包括委任状番号】 0010218

【包括委任状番号】 0104054

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 発光素子アレイ

【特許請求の範囲】

【請求項1】 電流阻止層上に設けられた第1導電型の半導体層と、該半導体層表面に複数個配列した第2導電型の不純物拡散領域からなる発光部と、該発光部の共通配線電極と共通に接続する第1の共通配線パッドと、前記発光部の残余の共通配線電極と共通に接続する第2の共通配線パッドとを備えた発光素子アレイにおいて、

前記半導体層は、前記発光部が1を含む所定数置きに1を含む所定数ずつ隣接する素子グループとの間で電氣的に分離するよう素子分離溝により分離されており、

前記半導体層は、前記1を含む所定数置きに前記1を含む所定数ずつ前記発光部を含む共通の第1の半導体層領域を有し、

前記第1の半導体層領域に設けられた発光部の共通配線電極は、前記素子分離溝の領域上を経由しない配線層により第1の共通配線パッドに接続され、

前記半導体層における前記第1の半導体層領域の残余の半導体層領域上の発光部の共通配線電極は前記素子分離溝の領域上を経由する配線層により第2の共通配線パッドに接続されていることを特徴とする発光素子アレイ。

【請求項2】 前記発光部は直線又は略直線状に形成され、前記素子分離溝が、前記1を含む所定数の前記発光部毎に、前記第1と前記残余の各半導体層領域に交互に分けるように矩形波状に形成されたことを特徴とする請求項1記載の発光素子アレイ。

【請求項3】 前記残余の半導体層領域が、前記1を含む所定数の発光部毎に電氣的に独立するよう前記素子分離溝を形成したことを特徴とする請求項1記載の発光素子アレイ。

【請求項4】 前記残余の半導体層領域が、前記発光部を含まない半導体層領域を有するよう前記素子分離溝を形成したことを特徴とする請求項2記載の発光素子アレイ。

【請求項5】 前記素子分離溝の領域上を経由しない配線層に前記第1導電

型半導体層を含むように構成したことを特徴とする請求項1記載の発光素子アレイ。

【請求項6】 前記第1導電型の半導体をn型半導体、前記第2導電型をp型としたことを特徴とする請求項1乃至5の何れかに記載の発光素子アレイ。

【請求項7】 前記発光部が、

所望の発光波長を得るためのn型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層 ( $1 > y > 0$ ) と、  
該n型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層を挟んで上層となるn型 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ 層 ( $1 > z > y > 0$ ) と、下層となるn型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層3c ( $1 > x > y > 0$ ) とを含む少なくとも3層からなる $\text{AlGaAs}$ 半導体層と、

最上層として、少なくとも電極とオーミックコンタクトを形成するためのn型 $\text{GaAs}$ コンタクトキャップ層と

を有し、

p型不純物を拡散した前記半導体拡散領域の底面が、前記n型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層中に存在し、前記n型 $\text{GaAs}$ コンタクトキャップ層とその下層のn型 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ 層との積層界面を含む周囲領域内に、少なくとも横方向のpn接合界面が存在しないように構成したことを特徴とする請求項6記載の発光素子アレイ。

【請求項8】 前記p型不純物としてZnを用いたことを特徴とする請求項7記載の発光素子アレイ。

【請求項9】 前記発光部の一方の側に、前記第1と第2の共通配線パッドを配置し、

更に、前記発光部の他方の側に、前記発光部総数の半数の個別配線パッドを配置し、

各々の前記個別配線パッドが、隣接し且つ異なるグループに属する一対の前記発光部の前記不純物拡散領域に電氣的に接続されていることを特徴とする請求項2記載の発光素子アレイ。

【請求項10】 前記発光部の一方の側に、前記第1と第2の共通配線パッドを配置し、

更に、前記発光部の他方の側にある前記発光部を含まない半導体層領域に、前

記発光部総数の半数の個別配線パッドを配置し、

各々の前記個別配線パッドが、隣接し且つ異なるグループに属する一対の前記発光部の前記不純物拡散領域に電氣的に接続されていることを特徴とする請求項 4 記載の発光素子アレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、発光素子アレイの構造に関し、特にそのワイヤボンダ用の配線パッドの接続構造及び積層構造に関する。

【0002】

【従来の技術】

例えば発光素子アレイの場合、その構造は、複数の発光素子を等間隔に直線状に配置したものであり、発光素子としてLED（発光ダイオード）を用いた発光素子アレイをLEDアレイと称す。従来のLEDアレイは、例えば、図15及び図16（この図は、「LEDプリンタの設計」：トリケップス誌の60頁に開示されている）に示すような構成のものがある。

【0003】

図15はこのLEDアレイ100の要部断面図であり、図16は同じくその平面図である。各図に示すように、このLEDアレイ100は、n型GaAs基板105上にGaAsP層101を形成し、Zn等のp型不純物の選択拡散により基板内においてアレイ状に複数形成されるp型不純物領域106の発光部を配列する。各発光部のAl電極103は、それぞれ各発光部毎に形成される個別電極であり、その一端部が発光部に電氣的に接続されるように絶縁膜102を介してp型不純物領域106上に形成される。

【0004】

これらのAl電極103の各他端部は、外部ワイヤと電氣的に接続するために所定の面積を有して平面状に形成されたワイヤボンダ用の個別電極パッド107に電氣的に接続されている。一方、共通電極であるAuGeNi電極104は、n型GaAs基板105と電氣的に接続されるように、n型GaAs基板の下層

に、それに接して形成されている。

【0005】

【発明が解決しようとする課題】

上記した従来のLEDアレイにおいては、各発光部にそれぞれ個別電極が形成されているため、発光部が高密度になると、個別電極の密度が増えることによりその電極パッドの密度も増える。このため、ワイヤボンダ作業が困難になり、コストアップの要因となっていた。

【0006】

本発明の目的は、これらの問題を解決すべく、発光部が高密度になっても、ワイヤボンディング密度の上昇を防ぎ、上記したワイヤボンダ作業の作業性の低下を防ぐことによって、高歩留り及び低価格を維持できる光学素子アレイを提供することにある。

【0007】

又、電極パッドと発光部を電氣的に接続する配線に起因する断線等の不良を極力減らし、且つ生産コストの低減が見込める光学素子アレイを提供することにある。

【0008】

更に、効率的に発光させることによって、比較的安価な低電流駆動ICの使用が可能な光学素子アレイを提供することにある。

【0009】

【課題を解決するための手段】

請求項1の発光素子アレイは、電流阻止層上に設けられた第1導電型の半導体層と、該半導体層表面に複数個配列した第2導電型の不純物拡散領域からなる発光部と、該発光部の共通配線電極と共通に接続する第1の共通配線パッドと、前記発光部の残余の共通配線電極と共通に接続する第2の共通配線パッドとを備えた発光素子アレイにおいて、

前記半導体層は、前記発光部が1を含む所定数置きに1を含む所定数ずつ隣接する素子グループとの間で電氣的に分離するよう素子分離溝により分離されており、

前記半導体層は、前記 1 を含む所定数置きに前記 1 を含む所定数ずつ前記発光部を含む共通の第 1 の半導体層領域を有し、

前記第 1 の半導体層領域に設けられた発光部の共通配線電極は、前記素子分離溝の領域上を経由しない配線層により第 1 の共通配線パッドに接続され、

前記半導体層における前記第 1 の半導体層領域の残余の半導体層領域上の発光部の共通配線電極は前記素子分離溝の領域上を経由する配線層により第 2 の共通配線パッドに接続されていることを特徴とする。

【 0 0 1 0 】

請求項 2 の発光素子アレイは、請求項 1 記載の発光素子アレイにおいて、

前記発光部が直線又は略直線状に形成され、前記素子分離溝が、前記 1 を含む所定数の前記発光部毎に、前記第 1 と前記残余の各半導体層領域に交互に分けるように矩形波状に形成されたことを特徴とする。

【 0 0 1 1 】

請求項 3 の発光素子アレイは、請求項 1 記載の発光素子アレイにおいて、

前記残余の半導体層領域が、前記 1 を含む所定数の発光部毎に電氣的に独立するように前記素子分離溝を形成したことを特徴とする。

【 0 0 1 2 】

請求項 4 の発光素子アレイは、請求項 2 記載の発光素子アレイにおいて、

前記残余の半導体層領域が、前記発光部を含まない半導体層領域を有するように前記素子分離溝を形成したことを特徴とする。

【 0 0 1 3 】

請求項 5 の発光素子アレイは、請求項 1 記載の発光素子アレイにおいて、

前記素子分離溝の領域上を経由しない配線層に前記第 1 導電型半導体層を含むように構成したことを特徴とする。

【 0 0 1 4 】

請求項 6 の発光素子アレイは、請求項 1 乃至 5 の何れかに記載の発光素子アレイにおいて、

前記第 1 導電型の半導体を n 型半導体、前記第 2 導電型を p 型としたことを特徴とする。



## 【0015】

請求項7の発光素子アレイは、請求項6記載の発光素子アレイにおいて、  
前記発光部が、

所望の発光波長を得るためのn型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層 ( $1 > y > 0$ ) と、  
該n型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層を挟んで上層となるn型 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ 層  
( $1 > z > y > 0$ ) と、下層となるn型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層3c ( $1 > x > y > 0$ ) とを含む少なくとも3層からなる $\text{AlGaAs}$ 半導体層と、

最上層として、少なくとも電極とオーミックコンタクトを形成するためのn型  
 $\text{GaAs}$ コンタクトキャップ層と

を有し、

p型不純物を拡散した前記半導体拡散領域の底面が、前記n型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層中に存在し、前記n型 $\text{GaAs}$ コンタクトキャップ層とその下層のn型 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ 層との積層界面を含む周囲領域内に、少なくとも横方向のp  
n接合界面が存在しないように構成したことを特徴とする。

## 【0016】

請求項8の発光素子アレイは、請求項7記載の発光素子アレイにおいて、  
前記p型不純物としてZnを用いたことを特徴とする。

## 【0017】

請求項9の発光素子アレイは、請求項2記載の発光素子アレイにおいて、  
前記発光部の一方の側に、前記第1と第2の共通配線パッドを配置し、更に、  
前記発光部の他方の側に、前記発光部総数の半数の個別配線パッドを配置し、  
各々の前記個別配線パッドが、隣接し且つ異なるグループに属する一対の前記  
発光部の前記不純物拡散領域に電氣的に接続されていることを特徴とする。

## 【0018】

請求項10の発光素子アレイは、請求項4記載の発光素子アレイにおいて、  
前記発光部の一方の側に、前記第1と第2の共通配線パッドを配置し、更に、  
前記発光部の他方の側にある前記発光部を含まない半導体層領域に、前記発光部  
総数の半数の個別配線パッドを配置し、  
各々の前記個別配線パッドが、隣接し且つ異なるグループに属する一対の前記

発光部の前記不純物拡散領域に電氣的に接続されていることを特徴とする。

【 0 0 1 9 】

【発明の実施の形態】

実施の形態 1.

図 1 は、本発明の光学素子アレイによる実施の形態 1 の LED アレイ 1 の要部構成を示す平面図である。図 2 (a) は、図 1 中の指示線 2 0 1 を含む断面を矢印 A 方向からみた断面図であり、図 2 (b) は、図 1 中の指示線 2 0 2 を含む断面を矢印 A 方向からみた断面図であり、更に図 2 (c) は、図 1 中の指示線 2 0 3 を含む断面を矢印 B 方向からみた断面図である。

【 0 0 2 0 】

図 2 の各断面図に示すように、この LED アレイ 1 は、例えば半絶縁性 GaAs 基板で形成された高抵抗基板 2 上に第 1 導電型に相当する n 型半導体層 3 が形成されている。この n 型半導体層 3 には、図 1 に示すように、その長手方向に沿ってエッチングによる溝形成によって矩形波状の素子分離溝 1 0 が形成され、これによって分離された 2 つの半導体ブロック 1 a, 1 b の各櫛歯型突起部 1 c, 1 d が交互に歯合するように対向して配列されている。

【 0 0 2 1 】

尚、半導体ブロック 1 a が第 1 の半導体層領域に相当し、半導体ブロック 1 b が残余の半導体層領域に相当する。

【 0 0 2 2 】

各櫛歯型突起部 1 c, 1 d には、長手方向に直線状に並んで半導体ブロック 1 b 側に寄った位置に、例えば固相拡散法で Zn などの p 型不純物を拡散することにより、第 2 導電型に相当する p 型半導体拡散領域 4 を形成している。一方、各櫛歯型突起部 1 c, 1 d の、長手方向に直線状に並んで半導体ブロック 1 a 側に寄った位置には、上面に形成された後述する第 2 層間絶縁膜 1 4 の開口部に共通配線電極に相当する n 側電極 5 がオーミックコンタクトを形成している。

【 0 0 2 3 】

図 1 の半導体ブロック 1 a の櫛歯型突起部 1 c において、図 2 (a) の断面図に示すように、その n 側電極 5 には、その上面に形成した第 2 層間絶縁膜 1 4 の

開口部を介して上部共通配線 7 の接続端子 7 a が電氣的に接続し、またその p 型半導体拡散領域 4 には、その上面に形成した第 1 層間絶縁膜 1 3 の開口部を介して、個別配線パッドに相当するアノード配線パッド 6 の第 1 接続端子部 6 a がオーミックコンタクトを形成している。

#### 【 0 0 2 4 】

また、図 1 の半導体ブロック 1 b の櫛歯型突起部 1 d において、図 2 (b) の断面図に示すように、その n 側電極 5 には、その上面に形成した第 2 層間絶縁膜 1 4 の開口部を介して引出し配線 8 の一端部 8 a が電氣的に接続し、またその p 型半導体拡散領域 4 には、その上面に形成した第 1 層間絶縁膜 1 3 の開口部を介して、アノード配線パッド 6 の第 2 接続端子部 6 b がオーミックコンタクトを形成している。

#### 【 0 0 2 5 】

各引出し配線 8 の他端部 8 b は、後述するように、第 2 層間絶縁膜 1 4 の下層に形成されて第 2 のカソード配線パッド 1 6 に繋がる下部共通配線 9 に、第 2 層間絶縁膜 1 4 の開口部を介して電氣的に接続し、上部共通配線 7 は、第 1 のカソード配線パッド 1 5 に電氣的に接続している。以後、p 型半導体拡散領域 4 を含んで、個々の発光動作にかかわる領域を特に発光部 1 1 と称す。

#### 【 0 0 2 6 】

尚、第 1 のカソード配線パッド 1 5 が第 1 の共通配線パッドに相当し、第 2 のカソード配線パッド 1 6 が第 2 の共通配線パッドに相当し、上部共通配線 7 が素子分離溝の領域上を経由しない配線層に相当し、そして引出し配線 8 と下部共通配線 9 とが素子分離溝の領域上を経由する配線層に相当する。

#### 【 0 0 2 7 】

次に、LED アレイ 1 の製造方法について説明する。

図 3 ～図 7 の各図は、LED アレイ 1 の製造工程を説明するための図である。

#### 【 0 0 2 8 】

図 3 は、LED アレイ 1 の長手方向に沿った所定位置に、p 型半導体拡散領域 4 を一列に形成した段階の製造工程図であり、同図 (a) はその平面図を、同図 (b) は同図 (a) の指示線 1 0 4 を含む断面を矢印 C 方向からみた断面図であ

る。先ずこの製造段階に至るまでの過程を簡単に説明する。

【0029】

図3(b)に示すように、LEDアレイ1の基板として、例えば半絶縁性GaAs基板で形成された高抵抗基板2に、n型半導体層3をエピタキシャル成長させたものを使用する。このn型半導体層としてはn型のAlGaAs層を用いることができる。また後述するように、電極と良好なコンタクトを取るため、n型半導体層3上にGaAsコンタクトキャップ層17を形成する。

【0030】

次に、この基板上に第1層間絶縁膜(拡散マスク)13をスパッタ法により成膜(膜厚:500Å~3000Å)する。そしてホトリソグラフィ技術とエッチングによって、発光部を形成する位置に対応させて開口部13aを形成し、所定の方法によって、この開口部13aからp型不純物としてのZnをn型半導体層3に拡散し、p型半導体拡散領域4を形成する。

【0031】

図4及び図5は、その後の製造工程を示す図であり、各図(a)はその平面図を示し、同図(b)は各図(a)の指示線105を含む断面をそれぞれ矢印A方向からみた断面図であり、同図(c)は各図(a)の指示線106を含む断面をそれぞれ矢印A方向からみた断面図である。

【0032】

図4に示すように、一列に形成されたp型半導体拡散領域4を交互に半導体ブロック1aと1bに振り分けるように、矩形波状の素子分離溝10を形成するため、先ず素子分離溝10を形成する領域の拡散マスク13を除去する。そしてこの除去した部分をエッチングし、同図(b)、(c)に示すように、深さが少なくとも高抵抗基板2にまで達し、且つLEDアレイ1の長手方向に矩形波状に連なる素子分離溝10を形成する。

【0033】

このエッチングは、例えば過水リン酸系のエッチャントを用いたウェットエッチングとし、これによって、LEDアレイ1は、電氣的に絶縁された2つの半導体ブロック1a、1bに分離され、各櫛歯型突起部1c、1dが交互に歯合する

ように対向して配列される。

#### 【 0 0 3 4 】

次に図 5 に示すように、各半導体ブロック 1 a, 1 b の櫛型突起部 1 c, 1 d の発光部 1 1 の発光部形成領域 2 0 a と n 側電極 5 が形成される n 側電極形成領域 2 0 b を除いて、LED アレイ 1 の平面全域に対して中間絶縁膜 2 0 を形成する。その際、本実施の形態では、先ず中間絶縁膜 2 0 として例えば SiN (膜厚 : 5 0 0 Å ~ 3 0 0 0 Å) の絶縁膜を形成し、その後発光部形成領域 2 0 a 及び n 側電極形成領域 2 0 b に対してホトリソグラフィとエッチングを施してこれらの部分の絶縁膜を剥離する。尚、図 2 (a)、(b)、(c) には、拡散マスクと中間絶縁膜 2 0 とが 1 つの第 1 層間絶縁膜 1 3 として示されている。

#### 【 0 0 3 5 】

そして、同図に示すように、n 側電極形成領域 2 0 b に n 側電極 5 を形成する。この場合、本実施の形態では、n 型半導体層 3 の上面に n 側電極 5 を蒸着し、リフトオフにより形成する。また電極材料として Au 系合金を使用し、最後にオーミック接続するためのシンター処理を行う。

#### 【 0 0 3 6 】

図 6 及び図 7 は、その後の製造工程を示す LED アレイ 1 の平面図である。図 6 に示すように、n 側電極 5 を形成した後、中間絶縁膜 2 0 の上層に、アノード配線パッド 6、アノード配線パッド 6 の第 1 と第 2 の接続端子部 6 a, 6 b、第 2 のカソード配線パッド 1 6、第 2 のカソード配線パッド 1 6 から延在する下部共通配線 9、及び第 1 のカソード配線パッド 1 5 を、Au 系合金等の同一の材料を用いて同時にリフトオフにより形成する。

#### 【 0 0 3 7 】

この時、アノード配線パッド 6 の第 1 と第 2 の接続端子部 6 a, 6 b が、p 側電極として、それぞれ中間絶縁膜 2 0 の発光部形成領域 2 0 a (図 5) の開口を介して p 型半導体拡散領域 4 に接し、最後にオーミック接続するためのシンター処理が行われる。

#### 【 0 0 3 8 】

次に、図 7 に示すように、アノード配線パッド 6、第 1、第 2 のカソード配線

パッド15、16の各パッド領域14a、各n側電極形成領域14b、そして櫛歯型突起部1dの各n側電極形成領域14bに対向する下部共通配線9上の接続領域14cを除いて、LEDアレイ1の平面全域に対して第2層間絶縁膜14を形成する。

#### 【0039】

そして最後に、前記した図1に示すように第2層間絶縁膜14の上層に、接続領域14cと櫛歯型突起部1dのn側電極形成領域14bの膜開口を介して下部共通配線9と櫛歯型突起部1dの各n側電極5とをそれぞれ電氣的に接続する引出し配線8と、櫛歯型突起部1cのn側電極形成領域14bとパッド領域14aの各膜開口を介して櫛歯型突起部1cの各n側電極5と第1のカソード配線パッド15とを電氣的に接続する上部共通配線7とを、Au系合金等の材料を用いて同時にリフトオフにより形成する。

#### 【0040】

以上のようにして形成されたLEDアレイ1の駆動方法について、図1の平面図を参照しながら説明する。尚、説明を容易にするため、図1に示す各発光部11に、図の左側から順にD1、D2、D3、D4…の発光部番号を付す。

#### 【0041】

上記の説明から明らかなように、発光部番号が奇数の発光部11のカソード側のn側電極5は、すべて第2のカソード配線パッド16に電氣的に接続され、発光部番号が偶数の発光部11のカソード側のn側電極5は、すべて第1のカソード配線パッド15に電氣的に接続されている。又、隣接する発光部11の一对のp側電極（アノード側電極）に相当する第1、第2の接続端子部6a、6bは、同一のアノード配線パッド6に電氣的に接続されている。

#### 【0042】

従って、各アノード配線パッド6と、第1又は第2カソード配線パッド15、16とをそれぞれ電氣的に選択し、p側からn側に順方向電流を流すことによって所望の発光部を点灯させることができる。

#### 【0043】

例えば、発光部番号が奇数のD5の発光部11を点灯する場合、そのアノード

電極に繋がるアノード配線パッド6と第2のカソード配線パッド16を選択して順方向電流を流し、同様にして発光部番号が偶数のD10の発光部11を点灯する場合、そのアノード電極に繋がるアノード配線パッド6と第1のカソード配線パッド15を選択して順方向電流を流せばよい。

#### 【0044】

以上のようにして、2つのカソード配線パッドとn個のアノード配線パッドによって、2n個の発光部をマトリックス駆動することができる。

#### 【0045】

以上のように、実施の形態1のLEDアレイ1によれば、カソード側電極を複数のグループに分け、グループ毎に共通する配線パッドを1つ設けるようにして配線パッド数を減らすように構成する際に、素子分離溝を矩形波状にジグザクに形成することによって、この素子分離溝の凹部面を渡る配線箇所を減らすことができる。

#### 【0046】

一般に、蒸着によって配線パターンを溝部の傾斜面に形成する場合には、平端部よりも薄く形成されやすく、これによって断線等による不良の発生率が高くなるが、実施の形態1のLEDアレイ1によれば、この不良の発生率を抑制することができる。

#### 【0047】

尚、以上の説明では、高抵抗基板2上に薄い半導体層3を設け、半導体層3を素子分離して電流を阻止した例を説明したが、高抵抗基板2に代えて、逆導電型の半導体基板を電流阻止層として用いることもできる。また、本発明ではこれに限らず、薄い半導体層3の下に電流阻止層として高抵抗又は逆導電型の薄層を形成してもよい。この場合は、この電流阻止薄層の下の基板の導電型及び抵抗値は問わない。

#### 【0048】

実施の形態2.

図8は、本発明の光学素子アレイによる実施の形態2のLEDアレイ31の要部構成を示す平面図である。図9(a)は、図8中の指示線201を含む断面を

矢印A方向からみた断面図であり、図9（b）は、図8中の指示線202を含む断面を矢印A方向からみた断面図であり、更に図9（c）は、図8中の指示線203を含む断面を矢印B方向からみた断面図である。

#### 【0049】

本実施の形態2のLEDアレイ31が、前記した図1に示す実施の形態1のLEDアレイ1と異なる点は、島状の半導体ブロック33が形成されるように、素子分離溝32を形成した点である。従って、このLEDアレイ31が、実施の形態1のLEDアレイ1と共通する個所には同符号を付してその詳細な説明を省略し、異なる点を重点的に説明する。

#### 【0050】

図8に示すように、ここでの素子分離溝32は、図1に示す半導体ブロック1bを、素子分離溝部32aによって、更に複数の島状ブロック33と長方形ブロック34とに分離するように形成されている。

#### 【0051】

従って、発光部番号が奇数の発光部11を有する島状ブロック33は、周囲から電氣的に独立しており、発光部番号が偶数の発光部11を有する櫛歯型突起部1cは、実施の形態1のLEDアレイ1と同様に、互いに電氣的に接続されている。尚、断面図9（b）に示すように、LEDアレイ31のアノード配線パッド6の第2接続端子部6bは、素子分離溝32の素子分離溝部32aに沿って形成されている。

#### 【0052】

このLEDアレイ31の製造過程、及び駆動方法については、上記した素子分離溝の形成条件に伴なう差異を除いて、前記した実施の形態1のLEDアレイ1と全く同様に行われるものとしてよいため、これらの説明は省略する。

#### 【0053】

以上のように、実施の形態2のLEDアレイ31によれば、アノード配線パッド6の下地となる長方形ブロック34のn型半導体層は電氣的に発光部を駆動する駆動回路から絶縁される。従って、アノード配線パッド6に配線する際に、作業誤差等によってアノード配線パッドとその下地の第1層間絶縁膜13を突き破



ってしまっても、外部回路や、他の発光部との短絡が発生することはないため、LEDアレイ製造時の歩留りを向上させることができる。

【0054】

実施の形態3.

図10は、本発明の光学素子アレイによる実施の形態3のLEDアレイ41の要部構成を示し、同図(a)はその平面図であり、同図(b)は、同図(a)中の指示線201を含む断面を矢印A方向からみた断面図である。

【0055】

本実施の形態3のLEDアレイ41が、前記した図8に示す実施の形態2のLEDアレイ31と異なる点は、各島状ブロック33を囲む素子分離溝43が個々に独立した閉路となっている点である。従って、このLEDアレイ41が、実施の形態1のLEDアレイ1と共通する個所には同符号を付してその詳細な説明を省略し、異なる点を重点的に説明する。

【0056】

図10に示すように、このLEDアレイ41は、発光部番号が奇数の発光部11を有する島状ブロック33を囲む素子分離溝43が個々に独立して形成され、また図8に示す発光部番号が偶数の発光部11を有する櫛歯型突起部1cに相当する部分が、分離溝が除かれて長方形ブロック34(図8)と連続するように形成されて格子部42a(図10)となっている。

【0057】

従って、このLEDアレイ41では、実施の形態2のLEDアレイ31(図8)における電氣的に分離した半導体ブロック1aと長方形ブロック34とが連続的に繋がり、これらが連続する半導体基板42となっている。尚、断面図10(b)に示すように、LEDアレイ41のアノード配線パッド6の第1接続端子部6aは、素子分離溝43と交叉することなく平坦面上に形成されている。

【0058】

このLEDアレイ41の製造過程、及び駆動方法については、上記した素子分離溝の形成条件に伴う差異を除いて、前記した実施の形態1のLEDアレイ1と全く同様に行われるものとしてよいため、これらの説明は省略する。

## 【0059】

以上のように、実施の形態3のLEDアレイ41によれば、実施の形態1のLEDアレイ1と同様に、素子分離溝と交叉する配線箇所を減らすことができるため、厚みが減少する溝部の配線部に起因する断線等による不良の発生率を抑制することができる。

## 【0060】

実施の形態4.

図11は、本発明の光学素子アレイによる実施の形態4のLEDアレイ51の要部構成を示す平面図である。

## 【0061】

本実施の形態4のLEDアレイ51が、前記した図1に示す実施の形態1のLEDアレイ1と異なる点は、その長手方向に沿って形成された矩形波状の素子分離領域52が、発光部11を2つ毎に各半導体ブロック51a、51bに振り分けている点と、これに伴なって、上部共通配線53及び下部共通配線54のn側電極5との接続位置が変更されている点である。従って、このLEDアレイ51が、実施の形態1のLEDアレイ1と共通する個所には同符号を付してその詳細な説明を省略し、異なる点を重点的に説明する。

## 【0062】

n型半導体層3（図2参照）には、図11に示すように、その長手方向に沿ってエッチングによる溝形成によって矩形波状の素子分離領域52が形成されて、これによって電氣的に分離された2つの半導体ブロック51a、51bの各櫛歯型突起部51c、51dが交互に歯合するように対向して配列されている。

## 【0063】

各櫛歯型突起部51c、51dには、それぞれ隣接する発光部11が2個ずつ属するように形成されており、半導体ブロック51aの各櫛歯型突起部51cに形成された1対のn型電極5が共に上部共通配線53を介して第1のカソード配線パッド15に電氣的に接続され、また半導体ブロック51bの各櫛歯型突起部51dに形成された1対のn型電極5が共に引出し配線8及び下部共通配線54を介して第2のカソード配線パッド16に電氣的に接続されている。

## 【0064】

一方、各アノード配線パッド6は、各々の第1と第2の接続端子部6a, 6bが、異なる櫛歯型突起部に属して隣接する一对の発光部11の各p型半導体拡散領域4にそれぞれオーミックコンタクトするように形成されている。

## 【0065】

尚、このLEDアレイ51の製造過程は、上記した素子分離溝52、上部共通配線53、及び下部共通配線54の形成条件に伴なう差異を除いて、前記した実施の形態1のLEDアレイ1と全く同様に行われるものとしてよいため、これらの説明は省略する。

## 【0066】

以上のようにして形成されたLEDアレイ1の駆動方法について、図11の平面図を参照しながら説明する。尚、説明を容易にするため、図11に示す発光部11に、図の左側から順にD1, D2, D3, D4…の発光部番号を付す。

## 【0067】

各アノード配線パッド6と、第1又は第2カソード配線パッド15, 16とをそれぞれ電氣的に選択して、p側からn側に順方向電流を流すことによって所望の発光部を点灯させることができる。

## 【0068】

例えば、発光部番号が奇数のD5の発光部11を点灯する場合、そのアノード電極に繋がるアノード配線パッド6と第2のカソード配線パッド16を選択して順方向電流を流し、同様にして発光部番号が偶数のD10の発光部11を点灯する場合、そのアノード電極に繋がるアノード配線パッド6と第1のカソード配線パッド15を選択して順方向電流を流せばよい。

## 【0069】

以上のようにして、2つのカソード配線パッドとn個のアノード配線パッドによって、2n個の発光部をマトリックス駆動することができる。

## 【0070】

以上のように、実施の形態4のLEDアレイ1によれば、実施の形態1と同様の効果を得ることができる他に、素子分離溝52のジグザク回数が減って延べの

形成距離が短くなるため、半導体微細プロセスであるフォトリソエッチング工程の際に、分離溝にパーティクルなどが載って、上下の半導体層ブロック同士が接続されて不良となる確率が減少するため、LEDアレイ製造時の歩留りを向上させることができる。

## 【 0 0 7 1 】

実施の形態 5.

図 1 2 は、本発明の光学素子アレイによる実施の形態 5 の LED アレイ 6 1 の要部構成を示し、同図 ( a ) はその平面図であり、同図 ( b ) は、同図 ( a ) 中の指示線 2 0 1 を含む断面を矢印 A 方向からみた断面図である。

## 【 0 0 7 2 】

本実施の形態 5 の LED アレイ 6 1 が、前記した図 1 に示す実施の形態 1 の LED アレイ 1 と異なる点は、半導体ブロック 6 1 a の各櫛歯型突起部 6 1 c の n 側電極 5 と第 1 のカソード配線パッド 6 2 を電氣的に接続する方法に関する点である。従って、この LED アレイ 6 1 が、実施の形態 1 の LED アレイ 1 と共通する個所には同符号を付してその詳細な説明を省略し、異なる点を重点的に説明する。

## 【 0 0 7 3 】

LED アレイ 6 1 の共通電極 6 3 は、例えば、前記した実施の形態 1 において、n 側電極 5 を形成する工程で、同時に形成される。その際に、半導体ブロック 6 1 a の各櫛歯型突起部 6 1 c に形成する n 側電極 5 は、その後に形成される下部共通配線 9 の近傍に至るように広く形成され、そして共通電極 6 3 は、下部共通配線 9 と並列に、且つ下部共通配線 9 に対して n 側電極 5 と反対側の近傍に形成される。

## 【 0 0 7 4 】

従って、この共通電極 6 3 が形成される領域の中間絶縁膜 2 0 は、n 側電極形成領域 2 0 b ( 図 5 ) 等と共に事前に剥離される。尚、図 1 2 ( b ) には、拡散マスクと中間絶縁膜 2 0 とが 1 つの第 1 層間絶縁膜 1 3 として示されている。

## 【 0 0 7 5 】

更に LED アレイ 6 1 の第 1 のカソード配線パッド 6 2、この第 1 のカソード

配線パッド 6 2 から延在して、共通電極 6 3 上に形成されるカソード共通配線 6 4、及び各櫛歯型突起部 6 1 c の n 側電極 5 上に形成される電極配線 6 5 は、例えば、前記した実施の形態 1 で説明した、アノード配線パッド 6 や第 2 のカソード配線パッド 1 6 等を形成する段階に相当する工程で、同時に形成される。

## 【 0 0 7 6 】

また、実施の形態 1 においては、引出し配線 8 (図 1) を、その後の工程で形成したが、本実施の形態では、このとき同時に、下部共通配線 9 から延在する引出し配線部 9 a として一体的に形成することができる。

## 【 0 0 7 7 】

以上のように形成されることにより、各櫛歯型突起部 6 1 c の n 側電極 5 は、n 側電極 5 → GaAs コンタクトキャップ層 1 7 → n 型半導体層 3 → GaAs コンタクトキャップ層 1 7 → 共通電極 6 3 (Au 系合金) → カソード共通配線 6 4 → 第 1 のカソード配線パッド 6 2、の経路によって第 1 のカソード配線パッド 6 2 に電氣的に接続している。この場合、電極配線 6 5、n 型半導体層 3、共通電極 6 3、及びカソード共通配線 6 4 が素子分離溝の領域上を経由しない配線層に相当する。

## 【 0 0 7 8 】

尚、GaAs コンタクトキャップ層 1 7 は、高い不純物濃度を有し、n 側電極 5 及び共通電極 6 3 と n 型半導体層 3 との間で、オーミックコンタクトを取るために形成されている。また、n 側電極 5 及び電極配線 6 5 は、これらが形成されない場合も、共通電極 6 3 が n 側電極となって動作は可能となるが、n 側電極 5 及び共通電極 6 3 に比べて抵抗値の高い n 型半導体層 3 の経路が長くなって効率が悪くなるため、バイパスの役目として n 側電極 5 及び共通電極 6 3 を形成することが好ましい。

## 【 0 0 7 9 】

上記した以外の製造過程及び駆動方法については、前記した実施の形態 1 の LED アレイ 1 と同様に行われるものとしてよいため、これらの説明は省略する。

## 【 0 0 8 0 】

以上のように、実施の形態 5 の LED アレイ 6 1 によれば、実施の形態 1 の L

EDアレイ1のように絶縁層を介して配線が重なる構成を避けることができるため、必要な配線箇所を一度に形成できると共に、層間絶縁膜を一層減らすことができる。このため、構成が簡略化され、製造工程を減らすことができ、製造時の歩留りの向上、及び製造コストダウンに貢献できる。

## 【0081】

実施の形態6.

図13は、本発明の光学素子アレイによるLEDアレイの実施の形態6の発光部の構成を示す要部断面図である。尚、同図は、本実施の形態6の発光部構成を、前記した実施の形態1のLEDアレイ1に採用した場合を想定して示し、このため共通する部分には同符号を付している。

## 【0082】

LEDアレイ1の基板として、半絶縁性GaAs基板で形成された高抵抗基板2上にn型半導体層3をエピタキシャル成長させたものを用いる。n型半導体層3は、所望の発光波長を得るためのn型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層3a ( $1 > y > 0$ )と、その上層のn型 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ 層3b ( $1 > z > y > 0$ )と、そしてその下層のn型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層3c ( $1 > x > y > 0$ )とからなる、少なくとも3層のAlGaAs半導体層を有する。例えば、波長760nm付近の発光波長を得るには $y = 0.15$ 、 $x = z = 0.6$ とする。

## 【0083】

そして、その上の最上層として少なくともp側電極としての接続端子部6a、n側電極5（図1）とオーミックコンタクトを形成するための半導体層であるn型GaAsコンタクトキャプ層17を形成している。

## 【0084】

そして、所望の発光波長を得るためのn型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層3a内に拡散の前面（底面）が存在するように、不純物としてZnを拡散したp型半導体拡散領域4が形成されている。電極とのオーミックコンタクトを形成するn型GaAsコンタクトキャプ層17とその下層のn型 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ 層3bとの積層界面を含む周囲領域71内に少なくとも横方向のpn接合界面が存在しないように、横方向のpn接合面が、例えばエッチングによって除去されている。

## 【0085】

即ち、発光層であるn型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層3aのAl含有率yより小さいAl含有率を有する半導体層において、pn接合が形成されない構成とする。

## 【0086】

次に、実施の形態6による発光部の製造方法について説明する。

図14(a)、(b)、(c)、(d)の各図は、発光部の製造工程を説明するための図である。

## 【0087】

上記したGaAsコンタクトキャップ層17を最上層とする基板上に、第1層間絶縁膜(拡散マスク)13を形成し、図14(a)に示すように発光部を形成する位置に対応させて、ホトリソグラフィ技術とエッチングによって開口部13aを形成する。そしてこの開口部13aからの選択拡散等の方法により、Znなどのp型半導体不純物を拡散させてp型半導体拡散領域4を形成する。

## 【0088】

図14(b)は、この段階における指示線205を含む断面を矢印C方向からみた断面図である。同図に示すように、p型半導体拡散領域4の底面が発光層であるn型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層3aの内に存在するように、拡散領域の深さを設定する。次に図14(c)に示すように、電極とのオーミックコンタクトを形成するn型GaAsコンタクトキャップ層17とその下層のn型 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ 層3bとの積層界面を含む周囲領域71内に少なくとも横方向のpn接合界面が存在しないように、横方向のpn接合面をエッチングにより除去する。

## 【0089】

ここでは、第1層間絶縁膜(拡散マスク)13の、開口部13aの周囲をエッチングで除去し、図14(d)に示すように、電極が形成されるコンタクト部74を除いた除去領域73、即ちp型半導体拡散領域4とその周辺部の拡散されていないn型 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ 層3bとの境界を跨ぐ閉路状領域のn型GaAsコンタクトキャップ層17をエッチングで除去し、このエッチングの深さがn型GaAsコンタクトキャップ層17の下層のn型 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ 層3bの上部にまで達するように設定する。

## 【0090】

その後、実施の形態1で説明したように、素子分離溝10（図1）を形成する工程に移るが、以後の工程は実施の形態1のLEDアレイ1と全く同様に行われるものとしてよいので、これらの説明は省略する。

## 【0091】

以上のように、実施の形態6の発光部構成によれば、従来技術で述べた構造に比べて高い発光効率を得られるので、低電流でも十分高い露光量を得ることができる。従って、低価格な低電流駆動のICを採用できるため、駆動回路も含めた発光装置全体でのコストを下げることができる。

## 【0092】

尚、前記した実施の形態4では、発光部が対となるように、矩形波状の素子分離溝を形成したが、これに限定されるものではなく、実施の形態2或いは3においても、島状ブロックとそうでないブロックに配置される発光部が対となるように素子分離溝を形成してもよい。

## 【0093】

また、前記実施の形態5では、n側電極と第1のカソード配線パッドの導通経路にn型半導体層を利用する例として、矩形波状の素子分離溝を形成したLEDアレイを用いたが、これに限定されるものではなく、実施の形態2、3のような素子分離溝が形成されたLEDアレイに採用しても良い。

## 【0094】

また、前記実施の形態6では、発光部構成を第1の実施の形態に採用した場合を想定して示したが、これに限定されるものではなく、前記第2～第5の各実施の形態における発光部構成採用しても良い。

## 【0095】

更に、前記各実施の形態では、第1導電型半導体にn型半導体を、そして第2導電型半導体にp型半導体を対応させて構成したが、これに限定されるものではなく、各半導体を逆特性のものとしても良いなど、種々の態様を取り得るものである。

## 【0096】



また、前記した特許請求の範囲、及び実施の形態の説明において、「上」、「下」、「左」、「右」といった言葉を使用した、これらは便宜上であって、発光素子アレイを配置する状態における絶対的な位置関係を限定するものではない。

【0097】

【発明の効果】

本発明の発光素子アレイによれば、素子分離溝による阻止分離溝領域をまたぐ配線層を減らすことができるので、断線等の配線不良が減って、歩留まりの優れた発光素子アレイを提供することができる。

【図面の簡単な説明】

【図1】 本発明の光学素子アレイによる実施の形態1のLEDアレイ1の要部構成を示す平面図である。

【図2】 (a)は図1中の指示線201を含む断面を矢印A方向からみた断面図であり、(b)は図1中の指示線202を含む断面を矢印A方向からみた断面図であり、更に(c)は図1中の指示線203を含む断面を矢印B方向からみた断面図である。

【図3】 LEDアレイ1の製造工程を説明するための図であり、(a)その平面図を、(b)は同図(a)の指示線104を含む断面を矢印C方向からみた断面図である。

【図4】 LEDアレイ1の製造工程を説明するための図であり、(a)はその平面図を示し、(b)は(a)の指示線105を含む断面をそれぞれ矢印A方向からみた断面図であり、(c)は(a)の指示線106を含む断面をそれぞれ矢印A方向からみた断面図である。

【図5】 LEDアレイ1の製造工程を説明するための図であり、(a)はその平面図を示し、(b)は(a)の指示線105を含む断面をそれぞれ矢印A方向からみた断面図であり、(c)は(a)の指示線106を含む断面をそれぞれ矢印A方向からみた断面図である。

【図6】 LEDアレイ1の製造工程を示す平面図である。

【図7】 LEDアレイ1の製造工程を示す平面図である。

【図 8】 本発明の光学素子アレイによる実施の形態 2 の LED アレイ 31 の要部構成を示す平面図である。

【図 9】 (a) は図 8 中の指示線 201 を含む断面を矢印 A 方向からみた断面図であり、(b) は図 8 中の指示線 202 を含む断面を矢印 A 方向からみた断面図であり、更に (c) は、図 8 中の指示線 203 を含む断面を矢印 B 方向からみた断面図である。

【図 10】 (a) は本発明の光学素子アレイによる実施の形態 3 の LED アレイ 41 の要部構成を示す平面図であり、(b) は、(a) 中の指示線 201 を含む断面を矢印 A 方向からみた断面図である。

【図 11】 本発明の光学素子アレイによる実施の形態 4 の LED アレイ 51 の要部構成を示す平面図である。

【図 12】 本発明の光学素子アレイによる実施の形態 5 の LED アレイ 61 の要部構成を示し、(a) はその平面図であり、(b) は (a) 中の指示線 201 を含む断面を矢印 A 方向からみた断面図である。

【図 13】 本発明の光学素子アレイによる LED アレイの実施の形態 6 の発光部の構成を示す要部断面図である。

【図 14】 (a)、(b)、(c)、(d) の各図は、実施の形態 6 の発光部の製造工程を説明するための図である。

【図 15】 従来の LED アレイ 100 の要部断面図である。

【図 16】 従来の LED アレイ 100 の要部平面図である。

【符号の説明】

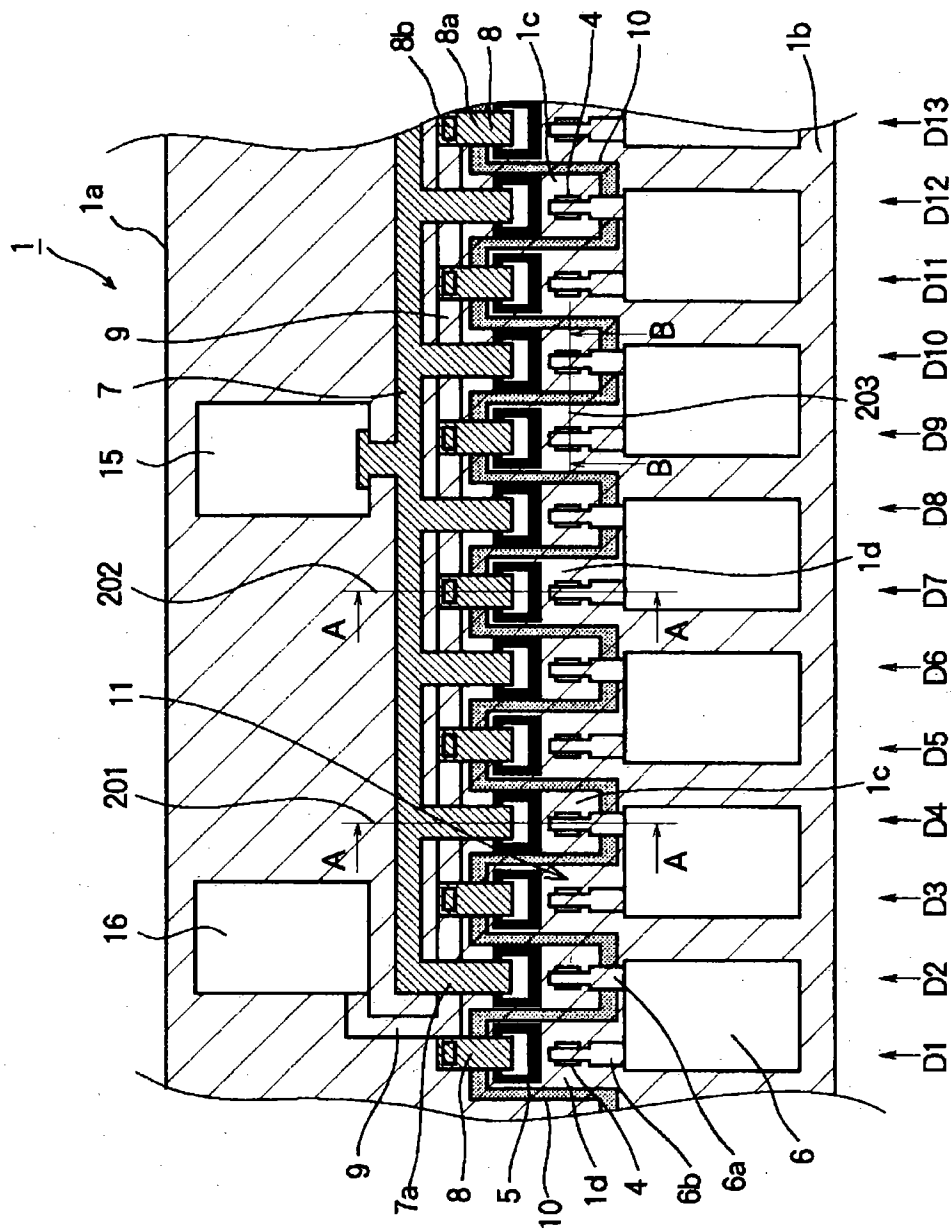
1 LED アレイ、 1a, 1b 半導体ブロック、 1c, 1d 櫛歯型突起部、 2 高抵抗基板、 3 n 型半導体層、 3a n 型  $\text{Al}_y\text{Ga}_{1-y}\text{As}$  層、 3b n 型  $\text{Al}_z\text{Ga}_{1-z}\text{As}$  層、 3c n 型  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  層、 4 p 型半導体拡散領域、 5 n 側電極、 6 アノード配線パッド、 6a 第 1 接続端子部、 6b 第 2 接続端子部、 7 上部共通配線、 7a 接続端子、 8 引出し配線、 8a, 8b 端部、 9 下部共通配線、 10 素子分離溝、 11 発光部、 13 第 1 層間絶縁膜 (拡散マスク)、 13a 開口部、 14 第 2 層間絶縁膜、 14a パッド領域、

14b n側電極形成領域、 14c 接続領域、 15 第1のカソード配線パッド、 16 第2のカソード配線パッド、 17 GaAsコンタクトキャップ層、 20 中間絶縁膜、 20a 発光部形成領域、 20b n側電極形成領域、 22a パッド領域、 22b n側電極形成領域、 22c 接続領域、 31 LEDアレイ、 32 素子分離溝、 33 島状ブロック、 34 長方形ブロック、 41 LEDアレイ、 42 半導体基板、 42a 格子部、 43 素子分離溝、 51 LEDアレイ、 51a, 51b 半導体ブロック、 52 素子分離領域、 53 上部共通配線、 54 下部共通配線、 61 LEDアレイ、 62 第1のカソード配線パッド、 63 共通電極、 64 カソード共通配線、 65 電極配線、 71 周囲領域、 73 除去領域、 74 コンタクト部。

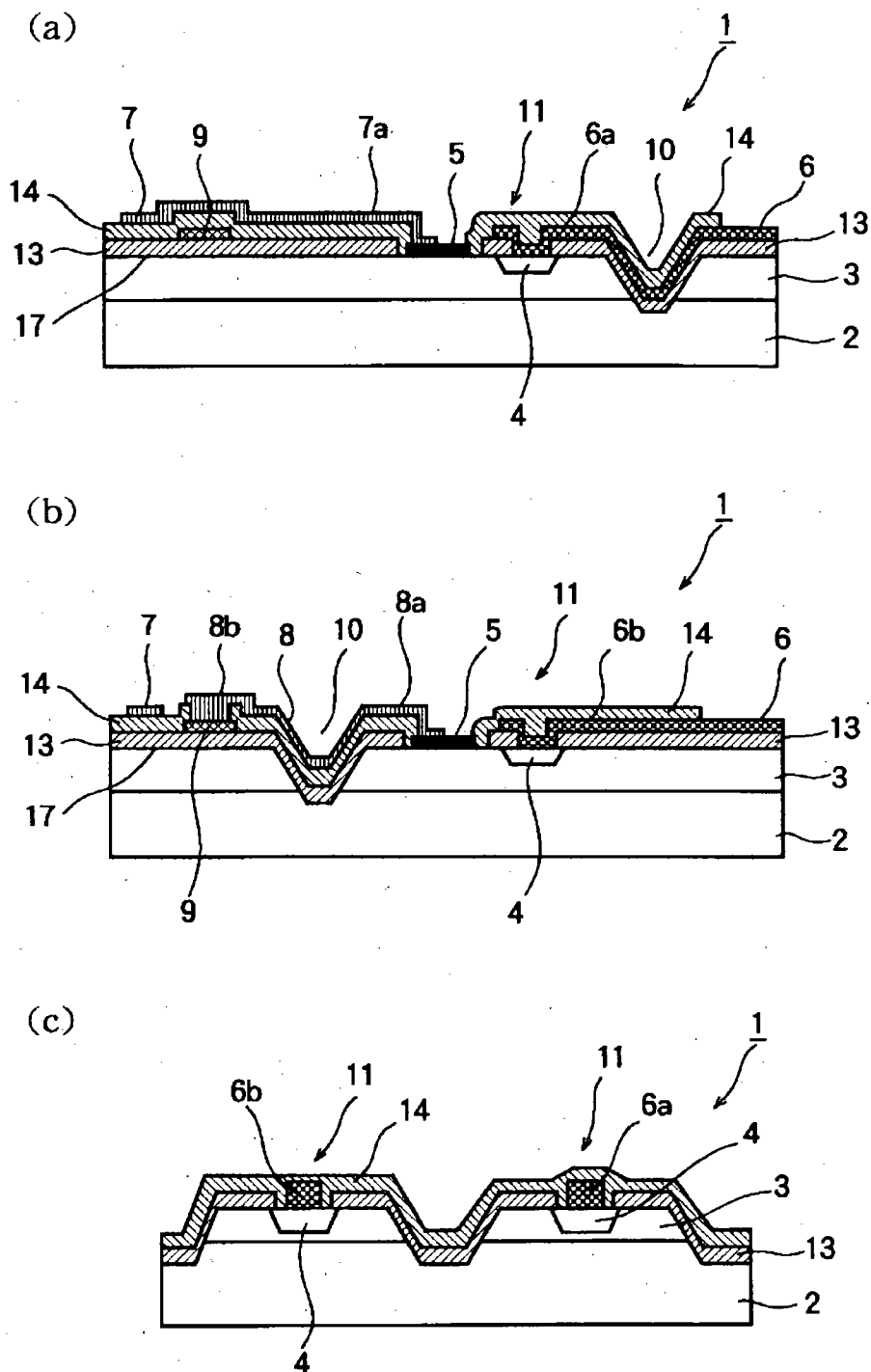
【書類名】

図面

【図1】

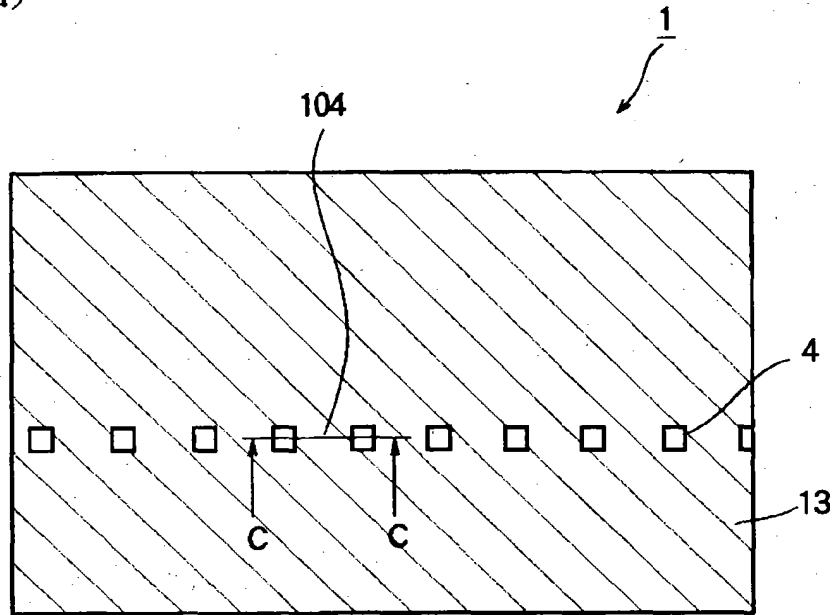


【図 2】

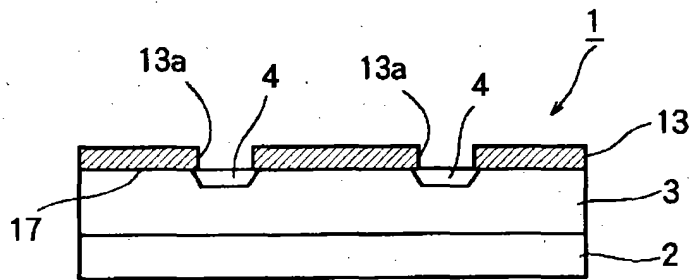


【図 3】

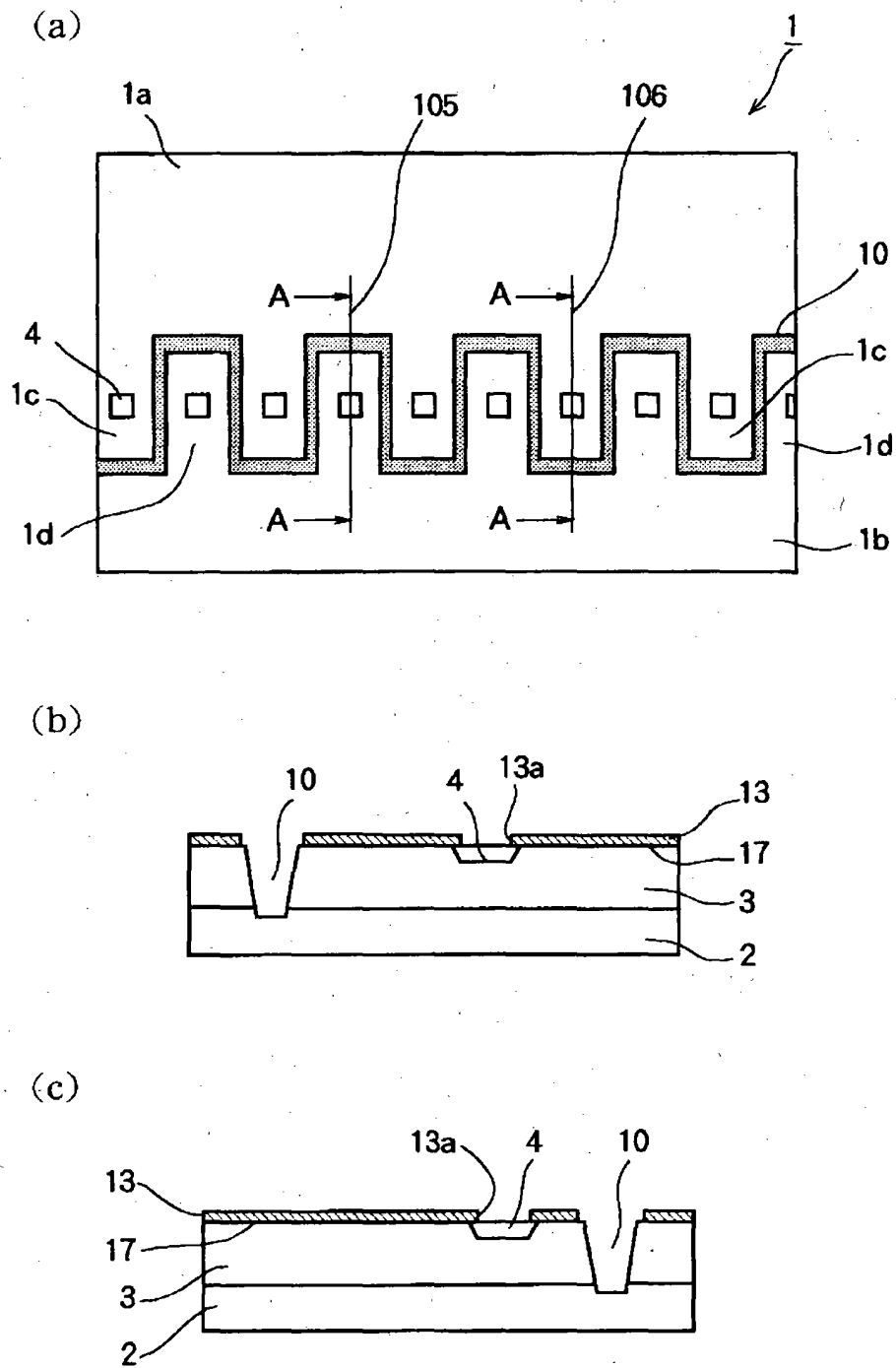
(a)



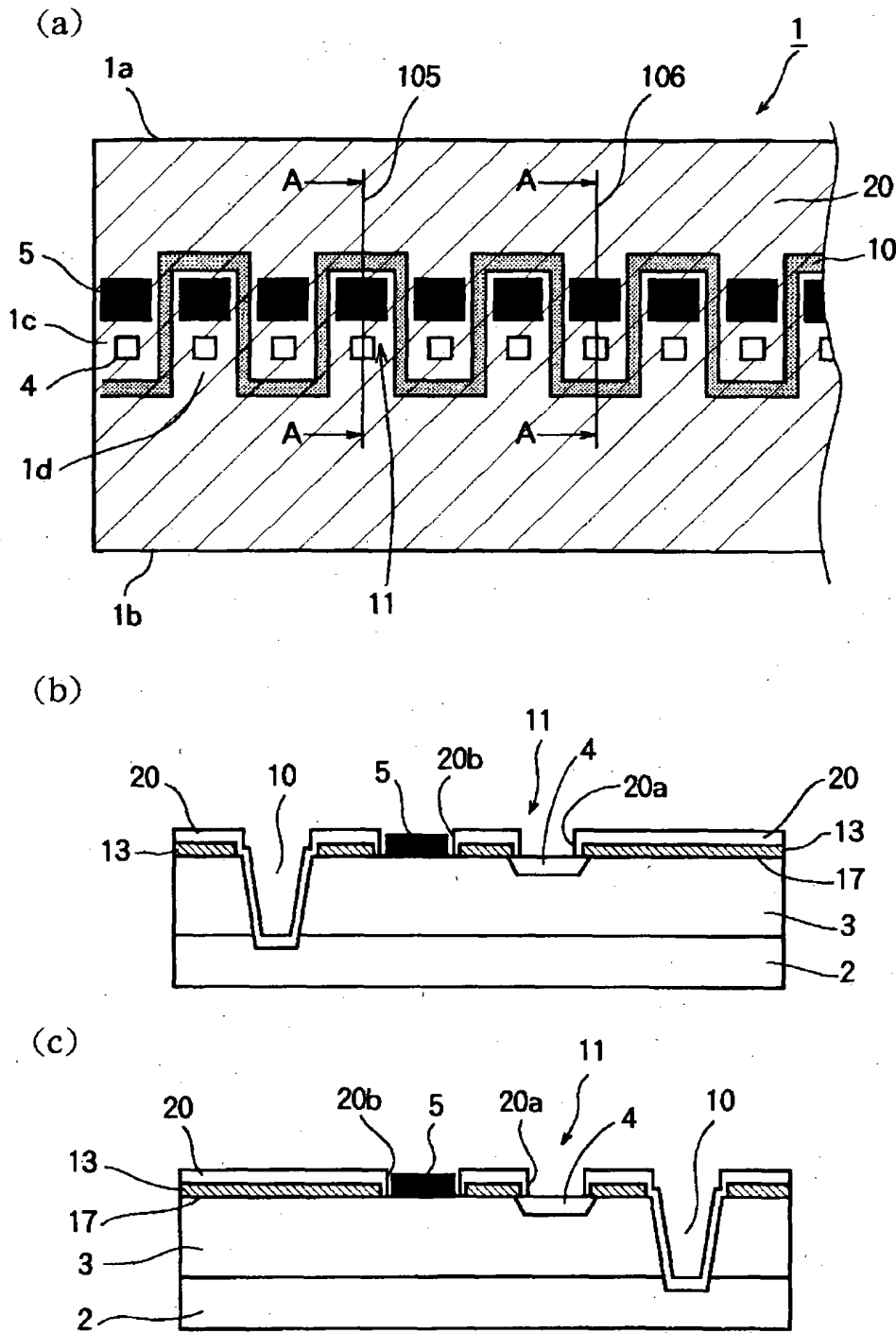
(b)



【図4】

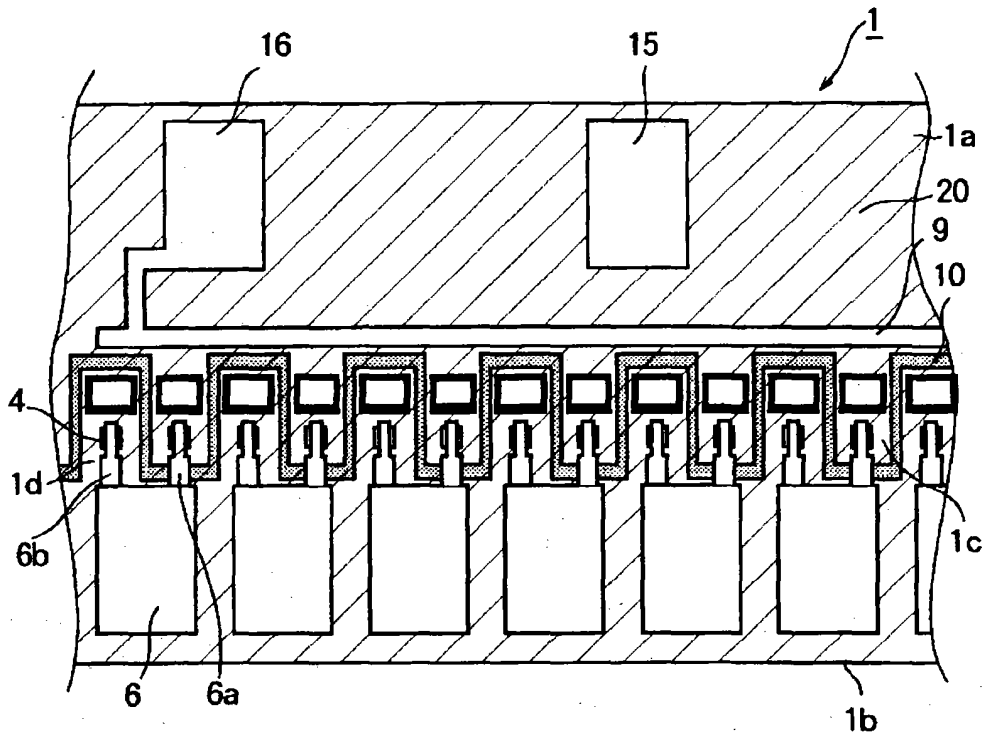


【図 5】

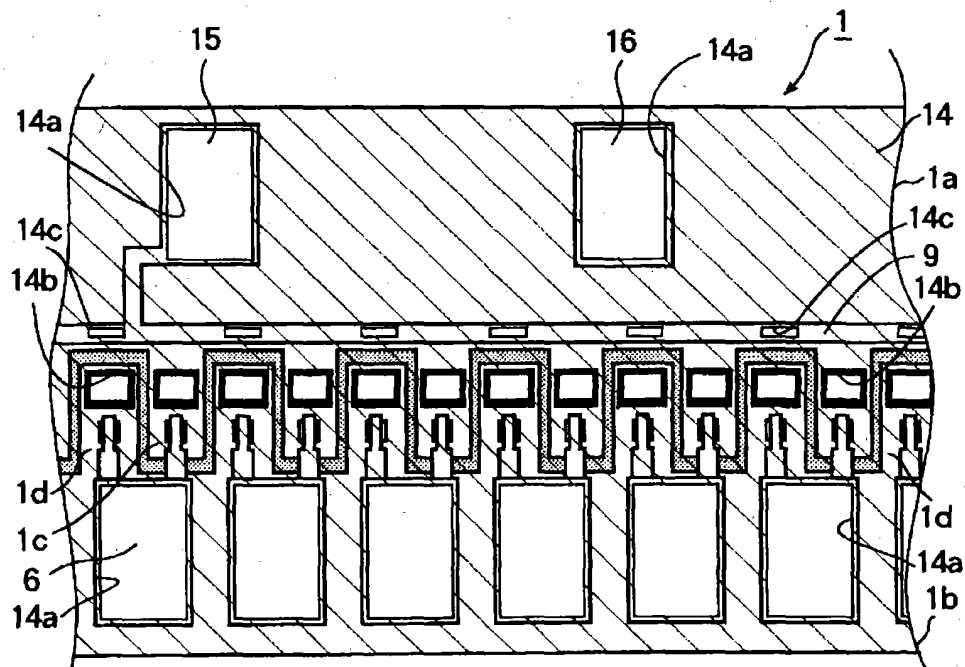




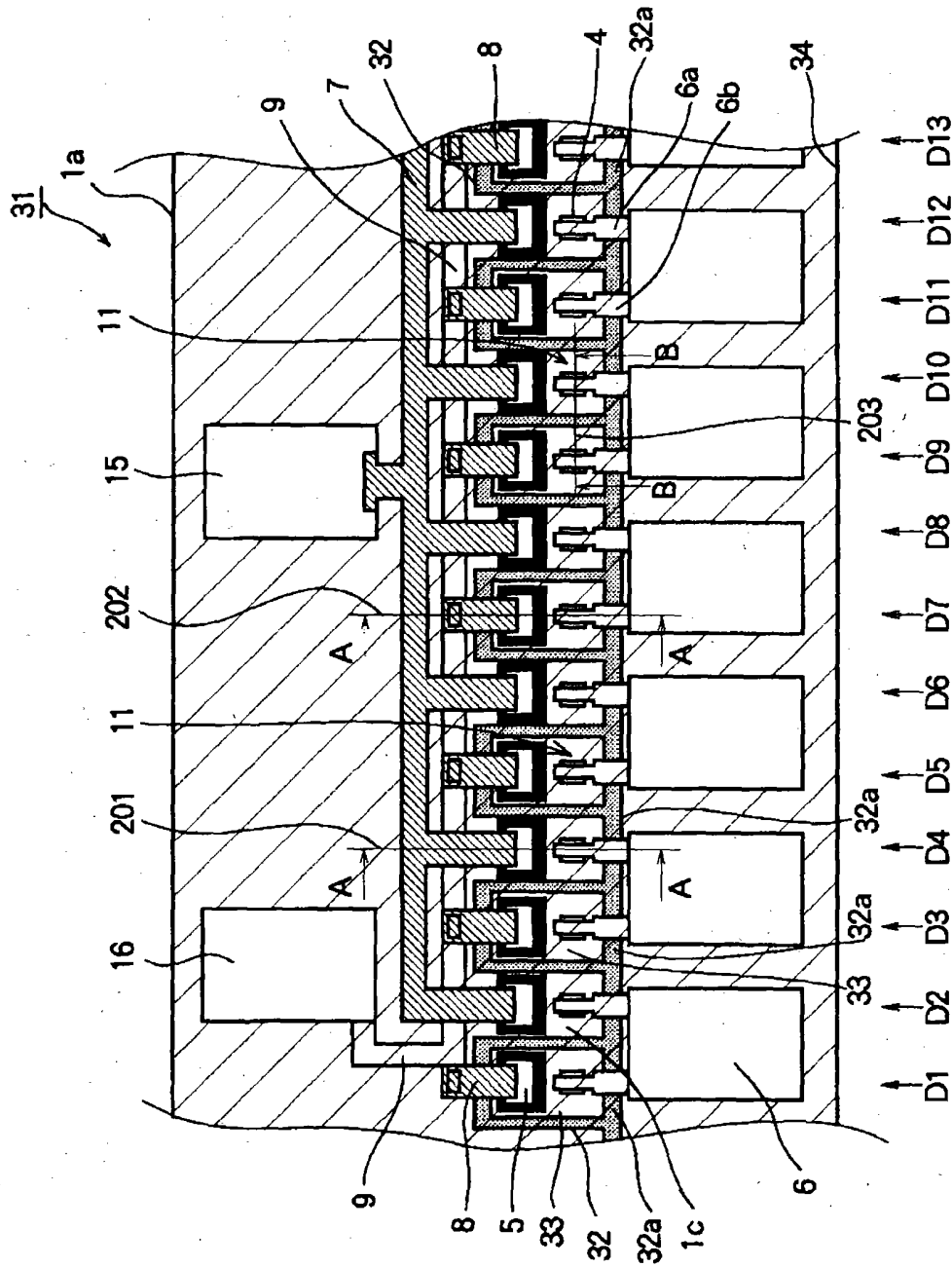
【図 6】



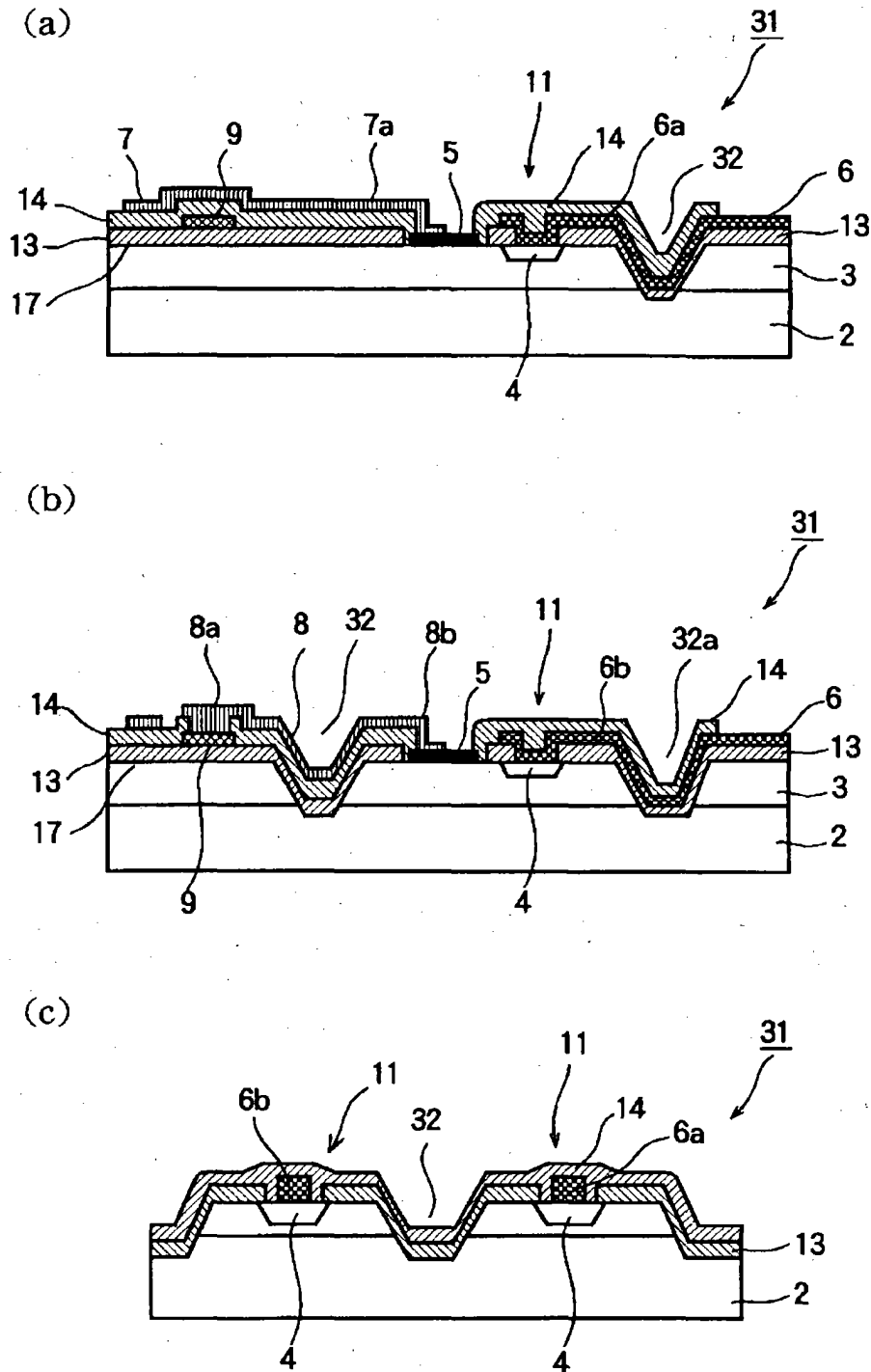
【図 7】



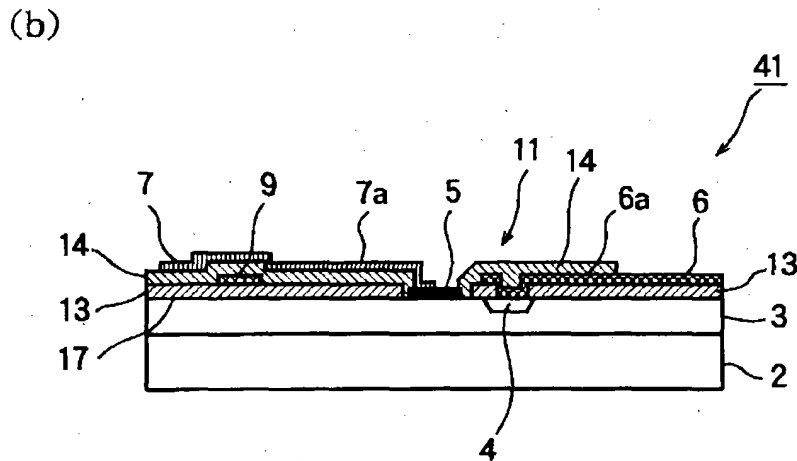
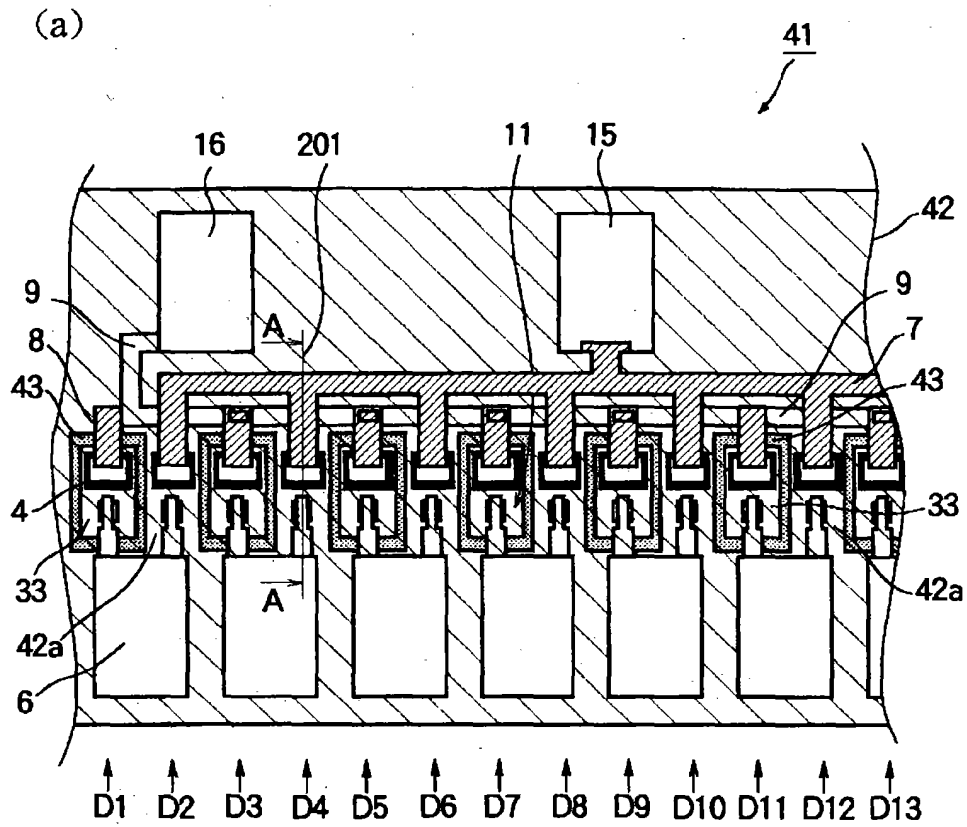
【図8】



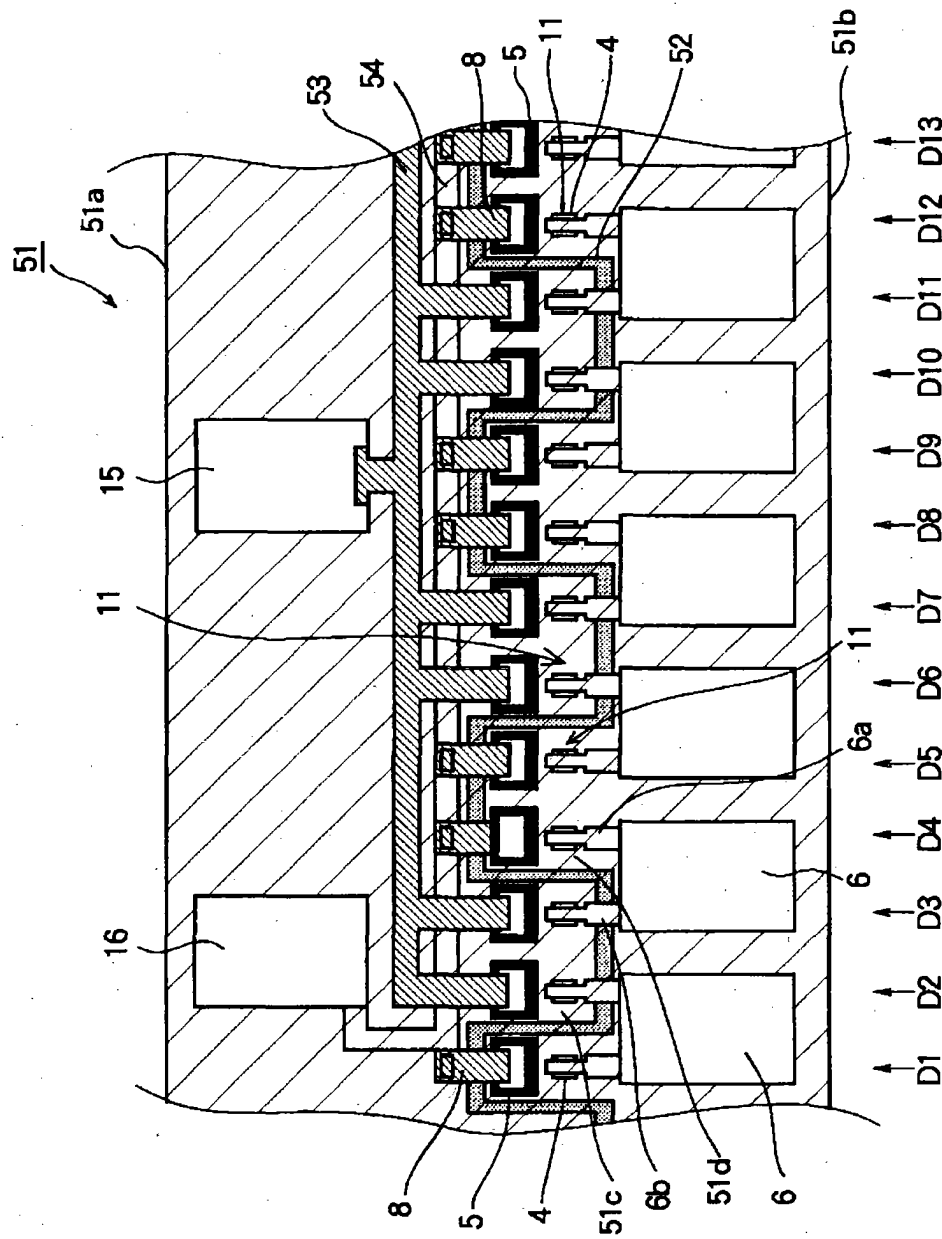
【図9】



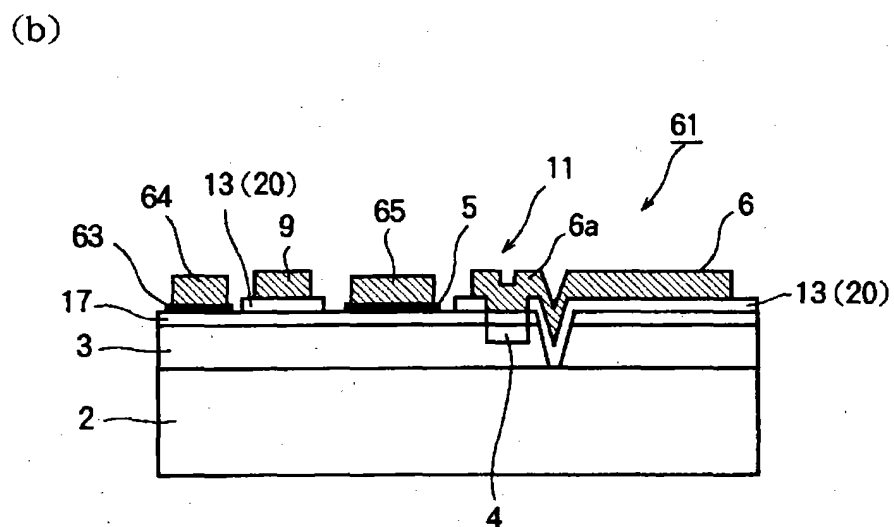
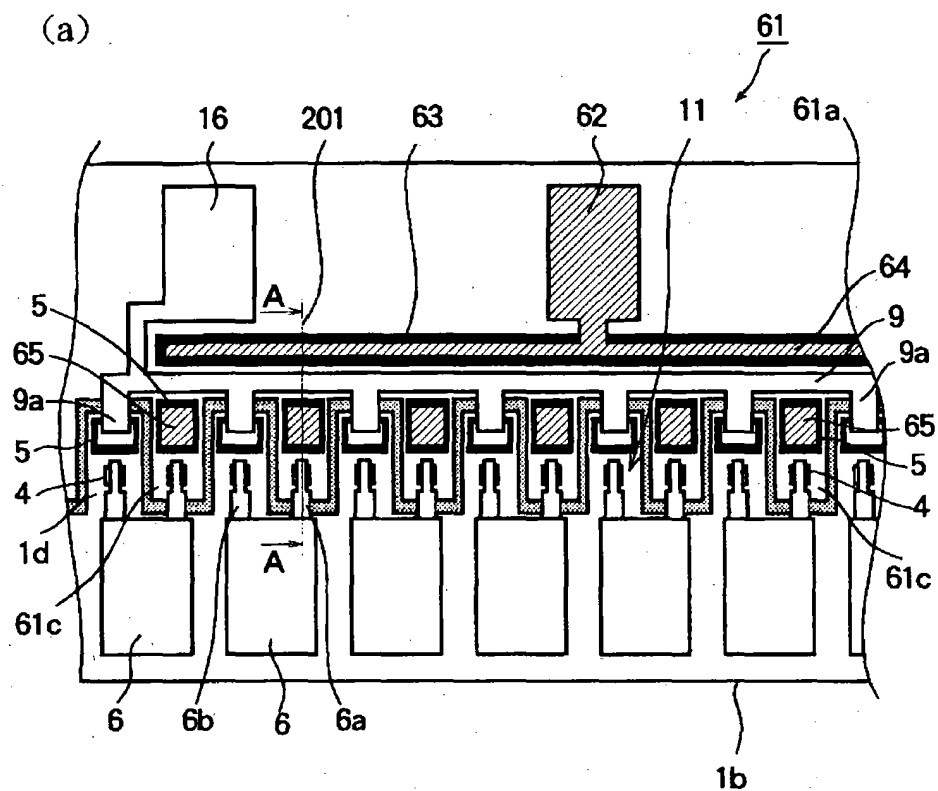
【図10】



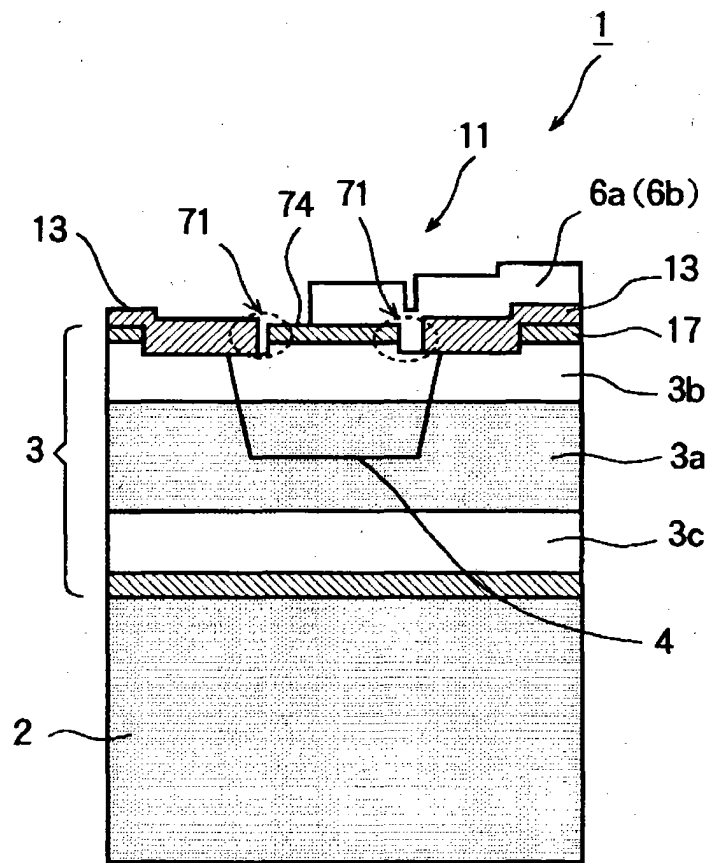
【図11】



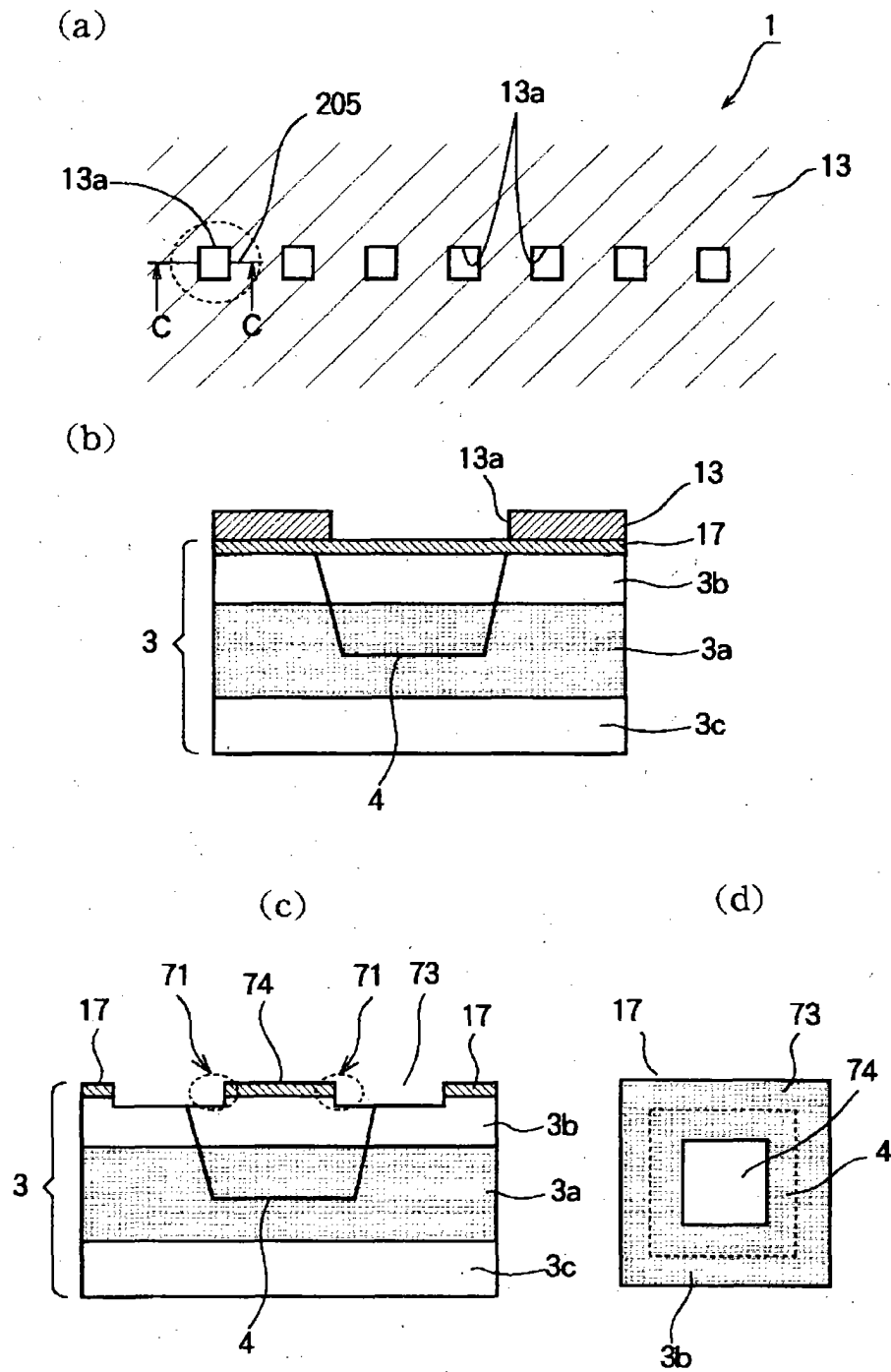
【図 12】



【図13】

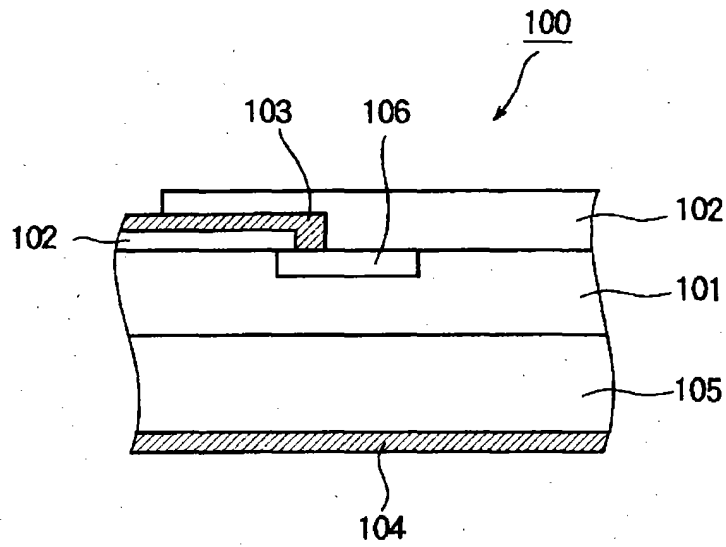


【図14】

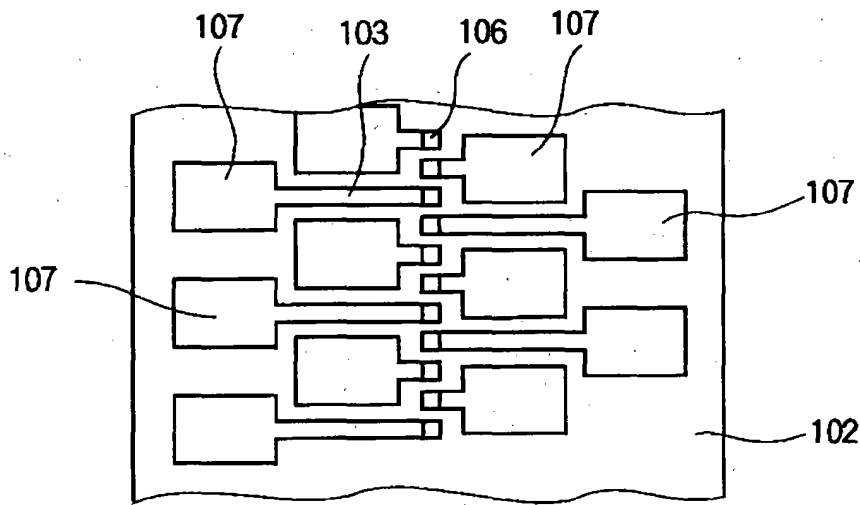




【図15】



【図16】



【書類名】 要約書

【要約】

【課題】 LEDアレイにおいて、ワイヤーボンディングのための配線パッドの数を減らすと共に、基板上に形成される配線パターンが、基板に形成された溝部と交叉する箇所を減らし、また配線パターン同士が交叉しないようにして、製品の信頼性、生産時の歩留り、生産コストの点で優れたLEDアレイを提供する。

【解決手段】 LEDアレイ1の基板を、電氣的に分離した2つの半導体ブロック1a, 1bに分離する素子分離溝10をジグザクに形成し、第1のカソード配線パッド15とn側電極5とを電氣的に接続する上部共通配線7の接続端子7aが素子分離溝10と交叉しないように構成する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [500002571]

1. 変更年月日 1999年12月20日  
[変更理由] 新規登録  
住 所 東京都八王子市東浅川町550番地-1  
氏 名 株式会社沖デジタルイメージング

出 願 人 履 歴 情 報

識別番号 [591044164]

1. 変更年月日 2001年 9月18日

[変更理由] 住所変更

住 所 東京都港区芝浦四丁目11番22号  
氏 名 株式会社沖データ